

ELECTRÒNICA

2. Circuits combinacionals i seqüencials

Les portes lògiques donen solució a problemes que es plantegen en la vida quotidiana. Darrere de fets tan comuns com la utilització d'una calculadora, el control dels semàfors dels carrers, o fins i tot l'ús dels ordinadors trobem l'electrònica digital i les portes lògiques.

A mesura que els problemes són més complexos, també ho són els circuits per resoldre'ls. D'altra banda hi ha determinats processos que es donen de manera molt freqüent i que, per tant, es poden estandarditzar i tractar com un sol bloc.

Posem un exemple. Si una fàbrica ha de fer caragols d'unes determinades característiques, amb tota seguretat en comptes de fer-los un per un, de manera artesana, farà un motlle perquè surtin tots iguals.

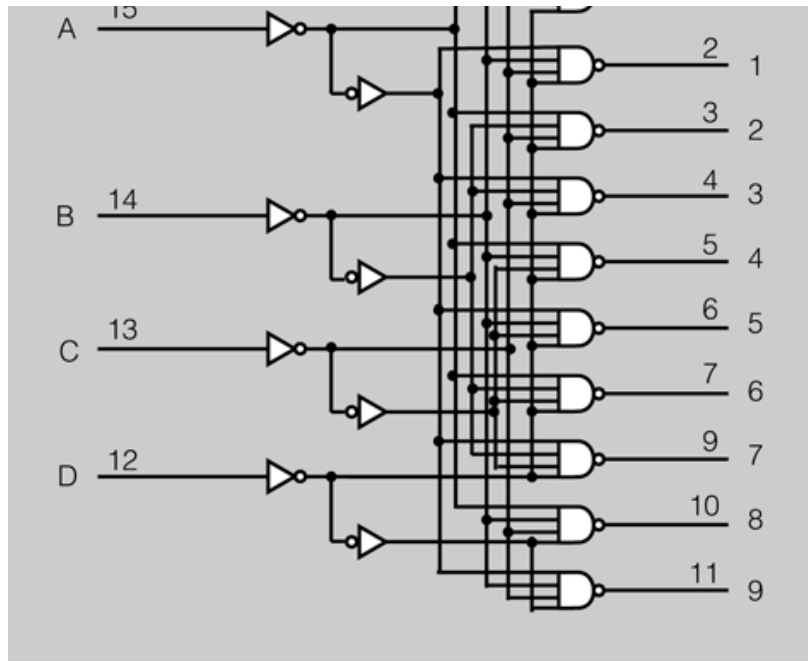
Bé, doncs, en l'electrònica digital combinacional, i també en la seqüencial, el que es fa és desenvolupar blocs integrats que donen solucions a problemes concrets, sense haver de preocupar-nos de les portes que hi ha a dins i de com es troben interconnectades entre elles.

L'avenç progressiu de les tècniques d'integració ha permès la realització, en un circuit integrat, de sistemes combinacionals i seqüencials complexos formats per un gran nombre de portes lògiques. Aquesta integració redueix el nombre d'elements necessaris, ja que permet la combinació de diferents tipus de portes en un mateix bloc integrat, disminueix el temps de disseny i el nombre de connexions.

En la [figura 2.1](#) es mostra un exemple de circuit combinacional, amb quatre entrades i deu sortides.

Figura 2.1. Exemple de circuit combinacional

ELECTRÒNICA



Els **circuits combinacionals** són blocs formats per portes lògiques bàsiques (NOT, AND, OR, NAND, NOR, OR-exclusiva i NOR-exclusiva) que tenen diferents entrades i sortides, i en els quals els valors de la sortida o de les sortides dependran exclusivament del valor de les entrades en aquell instant.

Els blocs integrats combinacionals donen resposta a aplicacions de caire general, com ara codificadors, descodificadors, multiplexors, desmultiplexors, comparadors, etc.

Els **circuits seqüencials** són blocs formats per portes lògiques bàsiques que tenen diferents entrades i sortides, i en els quals els valors dels senyals de sortida no depenen solament dels valors dels senyals d'entrada, sinó també dels valors que les mateixes sortides tenien abans.

Els principals circuits seqüencials són els registres, els comptadors i els registres de desplaçament.

2.1. Multiplexors i desmultiplexors

L'enviament d'informació mitjançant senyals elèctrics d'un lloc a un altre es pot fer utilitzant una o diverses línies. Quan s'envia amb una sola línia estem parlant

ELECTRÒNICA

Si heu d'enviar una informació d'un byte i disposeu de vuit línies (cables de connexió) per a cada unitat de temps, podreu enviar un byte sencer. Si aquest mateix byte s'envia per una sola línia necessitareu 8 unitats de temps, ja que en aquest cas heu d'enviar un bit darrere l'altre, però necessitareu només un cable per connectar els dos llocs.

Per tant, el sistema que caldrà utilitzar dependrà d'aspectes econòmics, de la distància entre els llocs que volem comunicar i de la velocitat de transmissió de les dades. Aquesta necessitat de passar de diverses línies a una de sola (de paral·lel a sèrie) i a l'inrevés (de sèrie a paral·lel) porta a la multiplexació i a la desmultiplexació, respectivament.

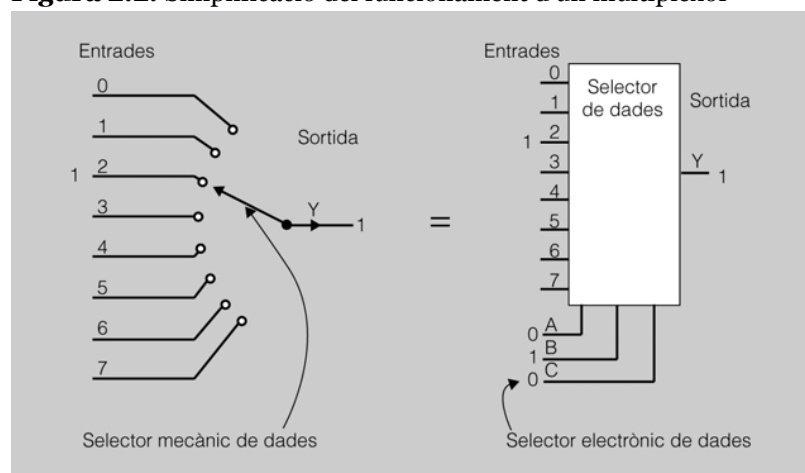
2.1.1. Multiplexors

El **multiplexor** és un sistema digital que disposa de N entrades d'informació i una única sortida. Mitjançant unes entrades de control, selecciona internament una de les entrades d'informació i la connecta a l'única sortida.

En la [figura 2.2](#) es pot veure com l'entrada de selecció és l'encarregada de connectar, en aquest cas, l'entrada corresponent al 2 amb la sortida Y . Gràficament es pot veure com l'entrada d'informació és en paral·lel i la sortida és en sèrie, només d'una línia.

Fixeu-vos com amb les entrades de control ABC ($010 = 2$) seleccionem l'entrada de dades 2, i com internament el que es fa és un pont entre aquesta entrada i la sortida (Y). Com que el nivell a l'entrada 2 és 1 (nivell alt), a la sortida trobem aquest nivell 1.

Figura 2.2. Simplificació del funcionament d'un multiplexor

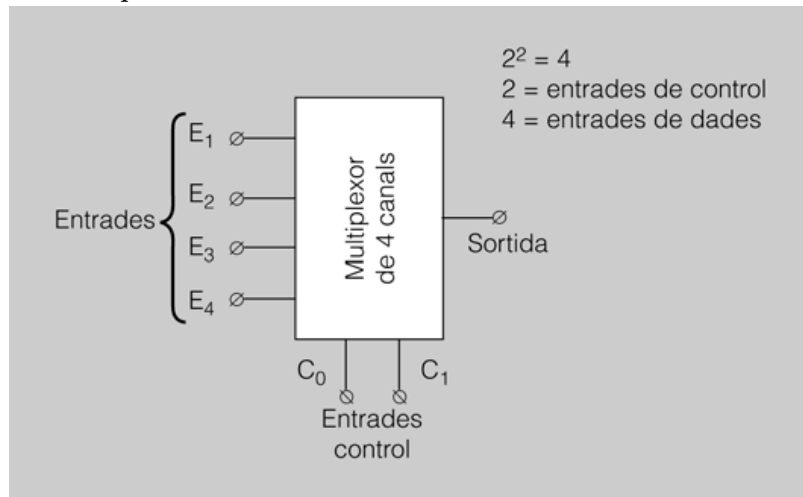


ELECTRÒNICA

Als multiplexors s'ha de complir que les entrades d'informació N siguin igual a 2^M , essent M el nombre d'entrades de control.

En la [figura 2.3](#), podeu observar com les entrades per multiplexar poden ser com a màxim 4 si el nombre de línies de control és 2.

Figura 2.3. Relació entre entrades d'informació i de control a un MUX de quatre línies



Circuit integrat 74151

El circuit integrat comercial 74151 és un petit xip de setze pins que implementa la funció de multiplexor de vuit línies.

En la [taula 2.1](#) es mostra com funciona el multiplexor de quatre línies: si les entrades de selecció prenen el valor 00, a la sortida apareix el senyal de l'entrada E_1 . Si les entrades de selecció prenen el valor 01, a la sortida apareix el senyal de l'entrada E_2 . Si les entrades de selecció prenen el valor 10, a la sortida apareix el senyal de l'entrada E_3 . I, finalment, si les entrades de selecció prenen el valor 11, a la sortida apareix el senyal de l'entrada E_4 .

Als Annexos del web hi trobareu un arxiu amb la simulació del multiplexor comercial 74151.

ELECTRÒNICA

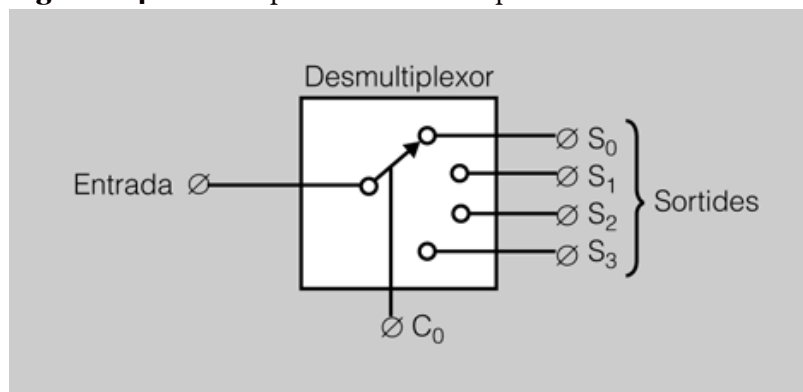
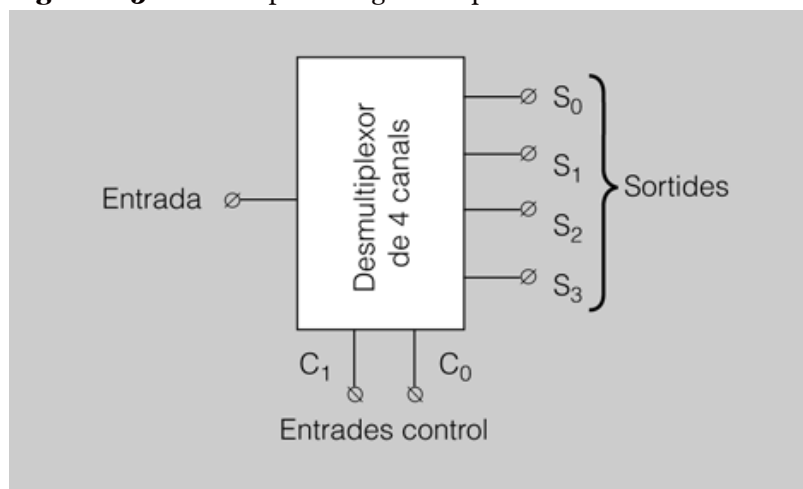
de quatre línies

C_1	C_0	S
0	0	E_1
0	1	E_2
1	0	E_3
1	1	E_4

2.1.2. Desmultiplexors

El desmultiplexor és un sistema digital que disposa d'una sola entrada d'informació i Nsortides. Mitjançant unes entrades de control, selecciona internament una de les sortides d'informació i la connecta a l'única entrada.

Com podeu comprovar, el seu funcionament és a l'inrevés que el multiplexor. Gràficament ho podeu acabar de veure a la [figura 2.4](#) i [figura 2.5](#).

Figura 2.4. Desmultiplexor mecànic de quatre línies**Figura 2.5.** Desmultiplexor digital de quatre línies

ELECTRÒNICA

El circuit integrat comercial 74155 es un petit xip de setze pins que implementa la funció de desmultiplexor d'una a vuit línies.

Als desmultiplexors s'ha de complir que les sortides d'informació N siguin igual a 2^M , essent M el nombre d'entrades de control.

Als Annexos del web hi trobareu un arxiu amb la simulació del desmultiplexor comercial 74155.

La [taula 2.2](#) és la taula de funcionament corresponent al desmultiplexor de quatre línies de la [figura 2.5](#). Com podeu observar en la taula, la dada de l'entrada (1 o 0) apareixerà a la sortida seleccionada amb les línies de control C_1 i C_0 .

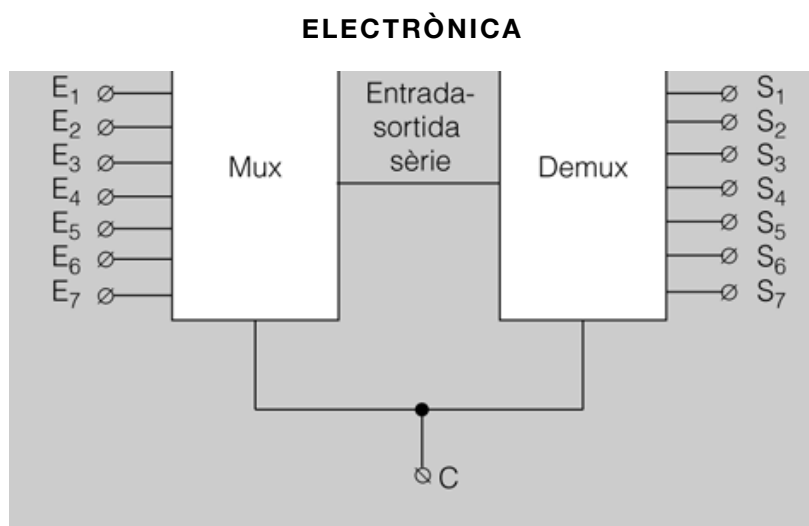
Taula: 2.2. Taula de veritat d'un desmultiplexor digital de quatre línies

C_1	C_0	Entrada	S_3	S_2	S_1	S_0
0	0	E	0	0	0	E
0	1	E	0	0	E	0
1	0	E	0	E	0	0
1	1	E	E	0	0	0

2.1.3. Connexió multiplexor-desmultiplexor

En la [figura 2.6](#) podeu veure l'aplicació del multiplexor (*Mux*) i desmultiplexor (*Demux*) per fer una transmissió de dades. El primer converteix la informació de paral·lel a sèrie; d'aquesta manera, la informació és enviada només amb una línia. La informació, quan arriba al desmultiplexor, es converteix de sèrie a paral·lel per tornar a tenir la informació original.

Figura 2.6. Connexió multiplexor-desmultiplexor



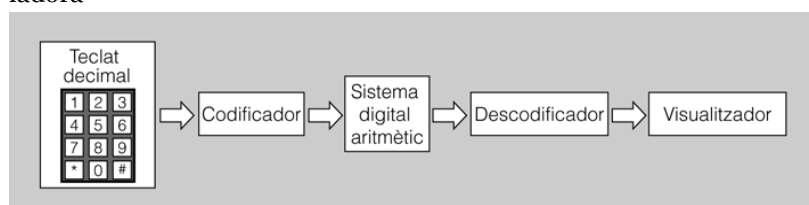
Fixeu-vos com tots dos elements estan connectats per un senyal de control. Aquest té la missió de sincronitzar els dos dispositius. Posarem un exemple. Quan el multiplexor està seleccionant l'entrada E_2 , el desmultiplexor ha d'estar seleccionant la sortida S_2 ; quan el multiplexor selecciona l'entrada E_3 , el desmultiplexor ha de seleccionar la sortida S_3 , etc. És la manera perquè la informació a la sortida sigui la mateixa que a l'entrada.

2.2. Descodificadors i codificadors

Per una banda, els sistemes digitals només treballen amb els bits 1 i 0 i, per l'altra, a les persones ens és difícil interpretar grans combinacions d'uns i zeros. Per donar resposta a aquesta situació, s'utilitzen els convertidors de codi, encarregats de traduir el nostre codi al llenguatge que entén el sistema digital. Si agafem com a exemple una calculadora, podem distingir tres grans blocs ([figura 2.7](#)):

1. Un bloc codificador, on es produeix una codificació o conversió del codi decimal (teclat) a un codi binari (1 i 0).
2. El sistema encarregat de fer les operacions que només interpreta bits 1 i 0.
3. Un bloc descodificador que tradueix el resultat de l'operació, en binari, a un llenguatge que podem interpretar, en decimal.

Figura 2.7. Diagrama de blocs del funcionament intern d'una calculadora



Traducció

Els codificadors tradueixen el llenguatge que nosaltres utilitzem al codi que entén el sistema digital. Els descodificadors tradueixen el llen-

ELECTRÒNICA

Els codificadors són sistemes combinacionals que s'encarreguen de transformar una sèrie de senyals sense codificar en un conjunt de senyals codificats.

Els descodificadors són circuits integrats digitals que fan la conversió d'un codi binari, normalment el BCD, en una forma sense codificar.

2.2.1. Descodificadors

Els descodificadors tradueixen el llenguatge que utilitza el sistema digital a un llenguatge que nosaltres puguem entendre.

Els **descodificadors** són circuits combinacionals que si tenen n nombre d'entrades poden presentar fins a 2^n nombre de sortides.

Taula: 2.3. Taula de veritat d'un descodificador de dues entrades

Entrades		Sortides			
A	B	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

Descodificador de dues entrades

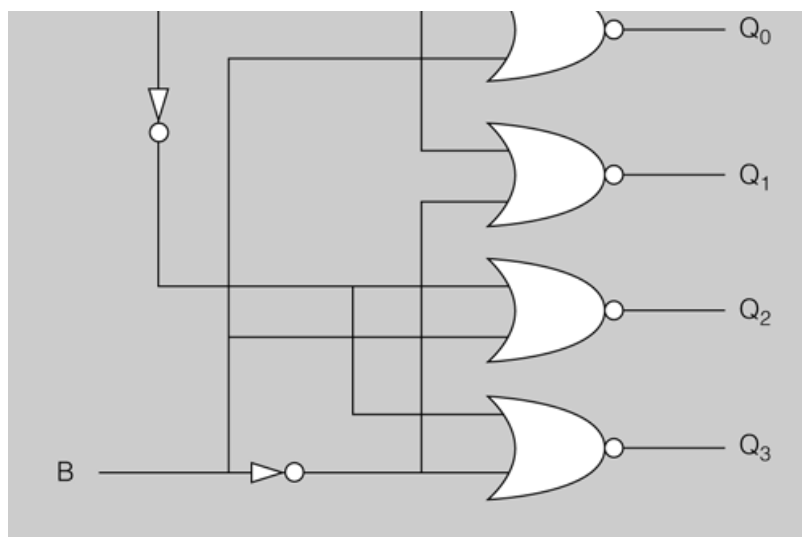
Un descodificador de dues entrades té les següents característiques:

- Nombre d'entrades: $n = 2$
- Nombre de sortides: $N = 2^n = 4$

En la [taula 2.3](#) es mostra la taula de veritat d'aquest circuit. El seu funcionament és molt senzill: per a cada combinació binària de les entrades, es posa a 1 la sortida corresponent.

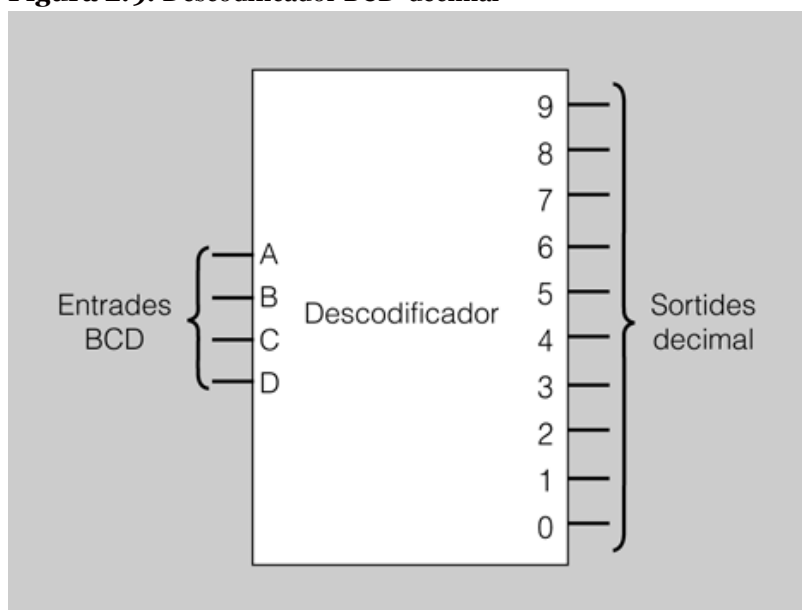
En la [figura 2.8](#) es mostra el circuit amb portes lògiques que implementa la funció de descodificador de dues entrades.

Figura 2.8. Circuit amb portes lògiques que fa la funció de descodificador de dues entrades

ELECTRÒNICA**Descodificadors BCD/decimal**

Els descodificadors que més s'utilitzen són els **descodificadors BCD/decimal**. En la [figura 2.9](#) es mostra un diagrama d'aquests circuits.

Figura 2.9. Descodificador BCD-decimal

**Circuit integrat 7442**

El circuit integrat comercial 7442 és un petit xip de catorze pins que implementa la funció de descodificador BCD/decimal.

Els descodificadors tenen quatre línies d'entrada que formen un codi BCD. A la sortida tenen deu línies, de manera que es posa a 1 la sortida que correspon al nombre decimal representat a l'entrada, mentre que les altres sortides es mantenen a 0.

ELECTRÒNICA

Simulador del descodificador BCD/decimal comercial 7442.

En la [taula 2.4](#) es mostra la taula de veritat del descodificador BCD/decimal.

Taula: 2.4. Taula de veritat d'un descodificador BCD/decimal

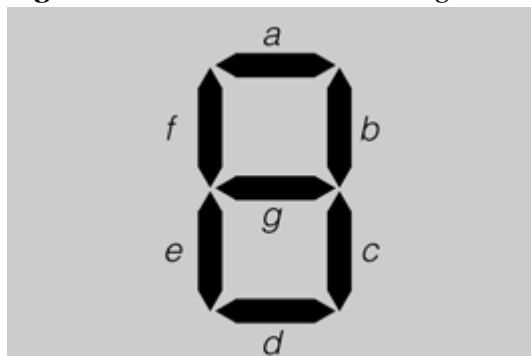
Entrades				Sortides									
A	B	C	D	Q ₉	Q ₈	Q ₇	Q ₆	Q ₅	Q ₄	Q ₃	Q ₂	Q ₁	Q ₀
0	0	0	0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	0	0	0	1	0	0
0	0	1	1	0	0	0	0	0	0	1	0	0	0
0	1	0	0	0	0	0	0	0	1	0	0	0	0
0	1	0	1	0	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	0	1	0	0	0	0	0	0
0	1	1	1	0	0	1	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	0	0	0	0
1	0	0	1	1	0	0	0	0	0	0	0	0	0

Descodificadors BCD/set segments

Per veure el funcionament d'aquest tipus de circuit, abans cal fer esment dels dispositius visualitzadors de set segments.

Els visualitzadors de set segments, que podeu veure en la [figura 2.10](#), s'utilitzen per visualitzar nombres decimals. Els set segments s'identifiquen amb les lletres *a*, *b*, *c*, *d*, *e*, *f*, *g*.

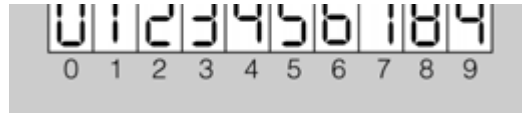
Figura 2.10. Visualitzador de set segments



En la [figura 2.11](#) podeu observar com s'aconsegueix la visualització dels deu dígit decimal (del 0 al 9). Per exemple, si s'activen tots menys el segment *g* es visualitza el zero. En canvi, si s'activen el segment *a*, *b* i *c*, es visualitza el 7, i si s'activen tots els segments, el 8.

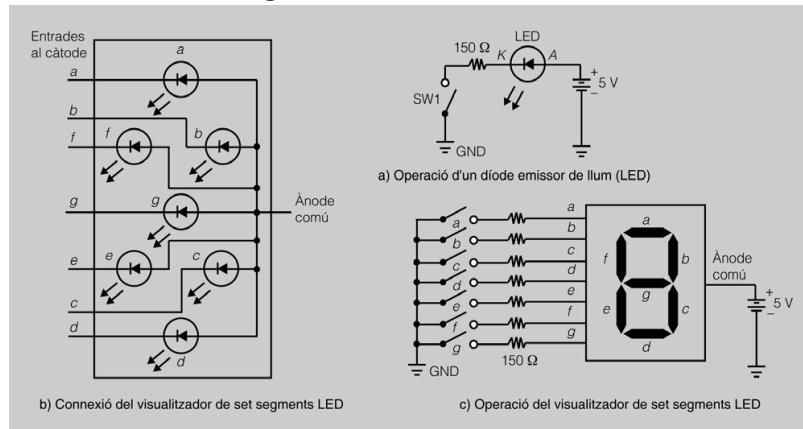
Figura 2.11. Visualitzador de set segments

ELECTRÒNICA



En la [figura 2.12](#) podeu veure la composició interna d'un visualitzador de set segments, el seu funcionament elèctric i la connexió.

Figura 2.12. Connexió, composició interna i funcionament d'un visualitzador de set segments



Cada segment està fet a partir d'un díode LED. Quan aquest díode LED és travessat pel corrent elèctric, emet radiacions lluminoses.

Els elements del visualitzador sempre han de portar una resistència limitadora. El valor d'aquesta resistència es calcula mitjançant la següent equació:

$$R = \frac{V_{CC} - V_{LED}}{I_{LED}}$$

Pel que fa al càlcul, es considera el voltatge LED aproximadament de 2 V i el corrent LED necessari al voltant dels 20 mA, per a LEDs estàndard.

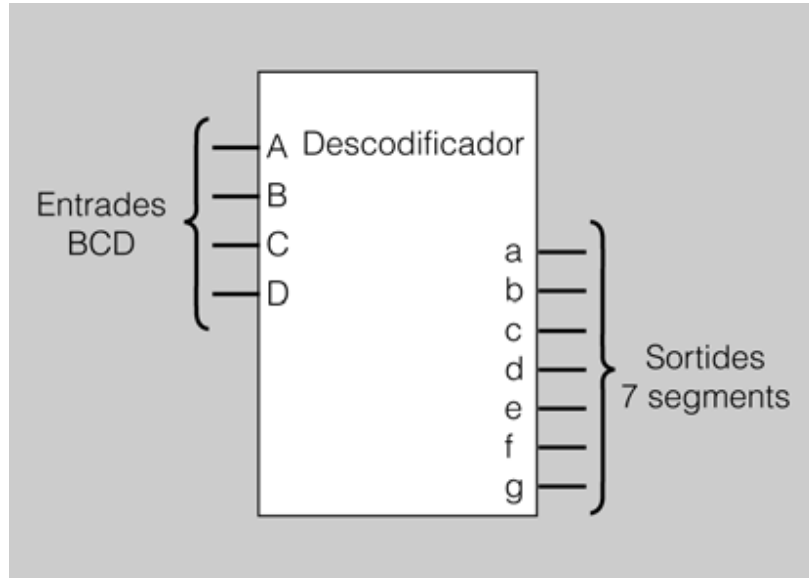
Tal com s'aprecia en la [figura 2.12](#), per a una alimentació V_{CC} de 5 V la resistència limitadora hauria de ser d'uns 150 Ω . Col·locant una resistència limitadora de 500 Ω , podríeu connectar el mateix *visualitzador* a un voltatge d'alimentació de 12 V. Podeu comprovar que en la connexió del visualitzador de set segments, cada segment conté un LED. Tots els ànodes estan connectats entre si (connexió ànode comú) i a positiu. Per tant, quan en el càtode d'un determinat díode apareix un nivell baix, o 0 lògic, el díode emetrà llum.

També podeu trobar visualitzadors amb la connexió de càtode comú. En aquest cas, el segment s'encendrà quan hi apliqueu un nivell alt (1 lògic).

ELECTRÒNICA

BCD i set sortides, una per a cada segment del visualitzador.

Figura 2.13. Descodificador BCD-set segments



Circuit integrat 7447

El circuit integrat comercial 7447 és un petit xip de setze pins que implementa la funció de descodificador BCD/set segments.

En la [taula 2.5](#) es mostra el funcionament del descodificador BCD/set segments.

Als Annexos del web hi trobareu un arxiu amb la simulació del descodificador BCD/set segments comercial 7447.

Taula: 2.5. Taula de veritat d'un descodificador BCD/set segments

Entrades				Sortides						
A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	0	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	0	0	1	1

ELECTRÒNICA

2.2.2. Implementació de funcions lògiques amb descodificadors

Una de les aplicacions dels descodificadors és la d'implementar funcions lògiques.

Taula: 2.6. Taula de veritat de la funció

$$f = (a \cdot \bar{b} \cdot \bar{c}) + (a \cdot b \cdot \bar{c}) + (\bar{a} \cdot \bar{b} \cdot c) + (a \cdot b \cdot c)$$

c	b	a	f
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

Per exemple, si volem implementar amb un descodificador la funció lògica

$f = (a \cdot \bar{b} \cdot \bar{c}) + (a \cdot b \cdot \bar{c}) + (\bar{a} \cdot \bar{b} \cdot c) + (a \cdot b \cdot c)$, els passos que haurem de seguir seran els següents:

1. Escrivim la taula de veritat de la funció, com es mostra en la taula 2.6.
2. Utilitzem un descodificador amb un nombre d'entrades igual o més gran que el nombre de variables de la funció. Com que, en aquest cas, tenim tres variables (a, b, c) utilitzarem un descodificador BCD/decimal.
3. Com es mostra en la figura 2.14, connectem les variables de la funció a les entrades del descodificador BCD/decimal. L'entrada de més pes del descodificador la connectem a massa, ja que no la utilitzem.
4. Mirem les combinacions de les variables que donen 1:
 - $Q_1 = 001$
 - $Q_3 = 011$
 - $Q_4 = 100$
 - $Q_7 = 111$
5. Finalment, connectem a una porta OR les sortides del descodificador que es posen a 1. En la figura 2.15 es mostra el circuit final.

Figura 2.14. Connexió de les variables a, b i c a les entrades del descodificador BCD-decimal

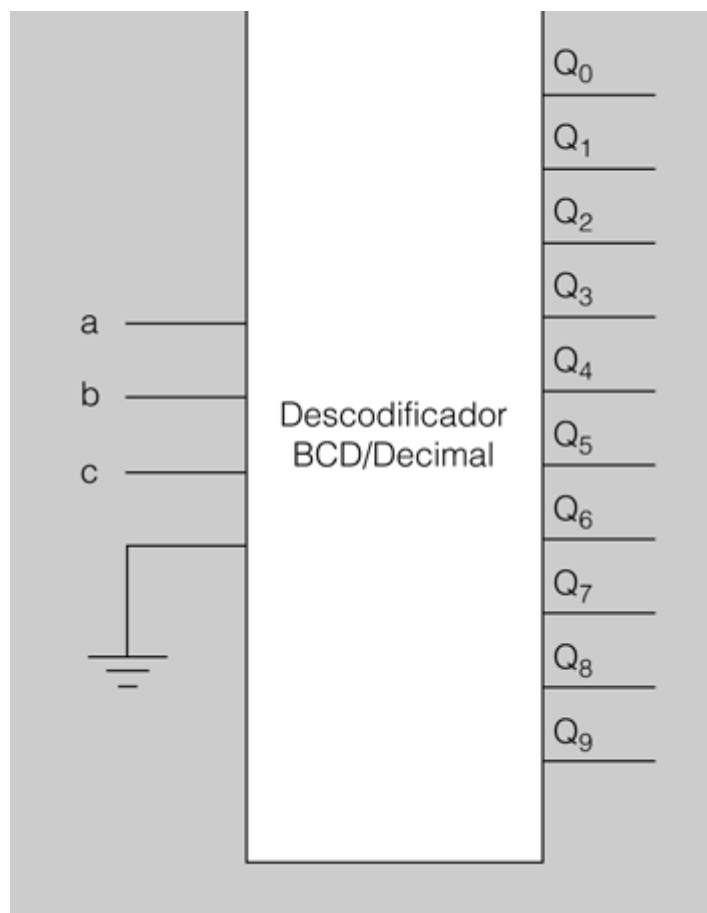
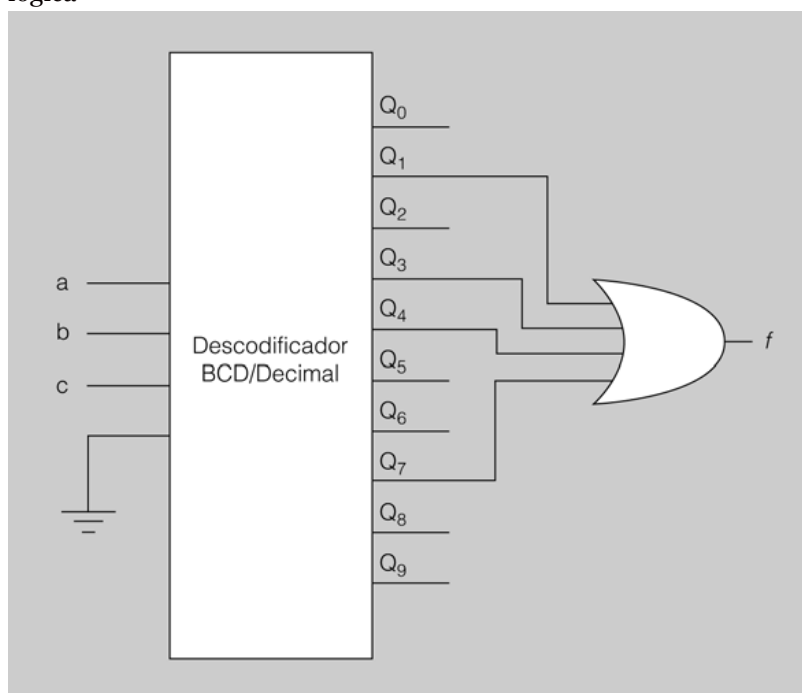
ELECTRÒNICA

Figura 2.15. Circuit amb descodificador que implementa la funció lògica



D'aquesta manera, a la sortida de la porta OR obtindrem la funció f .

2.2.3. Codificadors

ELECTRÒNICA

Els codificadors són circuits combinacionals que si tenen 2^n nombre d'entrades presenten n nombre de sortides.

Codificador decimal/BCD

Un dels tipus de codificador més utilitzat és el codificador decimal/BCD. En aquest circuit, quan s'activa una de les entrades decimals, les sortides agafen l'estat corresponent al seu codi BCD. En la [taula 2.7](#) es mostra la seva taula de veritat.

Els codificadors decimal/BCD són **prioritaris**, això vol dir que si hi ha més d'una entrada activada, la sortida que s'activarà correspondrà a l'entrada de major pes o de menor pes, segons la seva estructura interna.

Aquests codificadors tenen la sortida Y_0 que s'activa en el cas que totes les entrades estiguin a zero. D'aquesta manera es distingeix entre dos casos:

- Quan s'activa l'entrada E_0 , les sortides Q_3 , Q_2 , Q_1 i Q_0 estan a zero i la sortida Y_0 , també.
- Quan no hi ha cap entrada activada, les sortides Q_3 , Q_2 , Q_1 i Q_0 estan a zero i la sortida Y_0 es posa a 1.

Circuit integrat 74147

El circuit integrat comercial 74147 és un petit xip de setze pins que implementa la funció de codificador decimal/BCD.

Taula: 2.7. Taula de veritat d'un codificador decimal/BCD amb prioritat al major pes

Entrades										Sortides				
E_9	E_8	E_7	E_6	E_5	E_4	E_3	E_2	E_1	E_0	Y_0	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
0	0	0	0	0	0	0	0	1	X	0	0	0	0	1
0	0	0	0	0	0	0	1	X	X	0	0	0	1	0
0	0	0	0	0	0	1	X	X	X	0	0	0	1	1
0	0	0	0	0	1	X	X	X	X	0	0	1	0	0
0	0	0	0	1	X	X	X	X	X	0	0	1	0	1
0	0	0	1	X	X	X	X	X	X	0	0	1	1	0
0	0	1	X	X	X	X	X	X	X	0	0	1	1	1
0	1	X	X	X	X	X	X	X	X	0	1	0	0	0
1	X	X	X	X	X	X	X	X	X	0	1	0	0	1

El valor X indica que és indiferent el valor que s'hi posi, tant 0 com 1

ELECTRÒNICA

Simulador del comparador decimal, 74147.

2.3. Circuits aritmètics

Els circuits combinacionals aritmètics serveixen per realitzar operacions de caire matemàtic. Els més importants són els comparadors, els sumadors i els restadors, que no veurem aquí.

2.3.1. Circuits comparadors

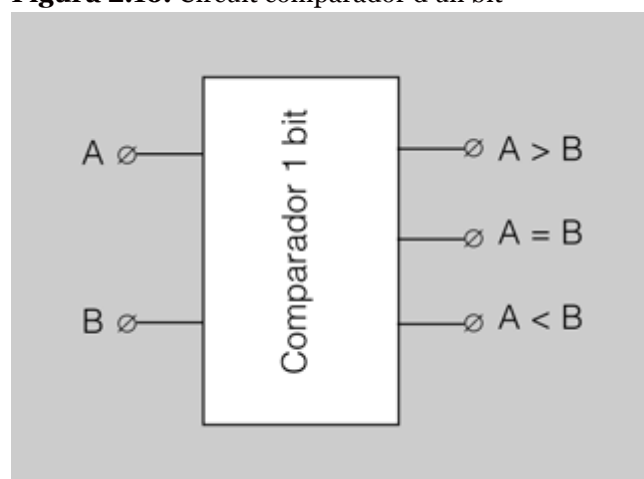
Les aplicacions de lògica digital combinacional requereixen moltes vegades realitzar la comparació entre dades binàries procedents de diferents fonts.

Un circuit comparador és aquell que pot comparar dos nombres binaris (A i B) de n bits cadascun i determinar si són iguals ($A = B$), o si no ho són, quin és més gran ($A > B$) o més petit que l'altre ($A < B$).

Els comparadors són circuits combinacionals que indiquen, a la seva sortida, la relació d'igualtat o desigualtat entre dos nombres (A i B) de n bits cadascun.

El circuit comparador més senzill és aquell que permet fer la comparació entre dos nombres d'un bit. En la [figura 2.16](#) podeu veure la seva representació.

Figura 2.16. Circuit comparador d'un bit



Com podem observar, hi ha, com a entrades, els dos nombres per comparar A i B i les tres sortides possibles $A > B$, $A = B$ i $A < B$.

La taula de veritat d'aquest circuit comparador d'un bit es mostra a la [taula 2.8](#).

ELECTRÒNICA

El circuit integrat comercial 7485 es un petit xip de setze pins que permet comparar dos nombres binaris de 4 bits.

Taula: 2.8. Taula de veritat d'un comparador d'un bit

Entrades		Sortides		
A	B	A > B	A = B	A < B
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

Als Annexos del web hi trobareu un arxiu amb la simulació del comparador universal de 4 bits comercial 7485.

2.3.2. Circuits sumadors

Els circuits sumadors són els circuits digitals encarregats de realitzar les operacions de sumes amb nombres binaris. Primer estudiarem la teoria de la suma i després veurem circuits integrats combinacionals.

Suma de dos bits (semisumador)

Sumar nombres en binari és força semblant a fer-ho en sistema decimal. El primer que cal tenir en compte són les regles, o algoritmes, de la suma binària ([taula 2.9](#)).

Taula: 2.9. Suma de dos bits

B + A	Carry (C)	Suma (S)
0 + 0	0	0
0 + 1	0	1
1 + 0	0	1
1 + 1	1	0

Carry

Amb aquest terme anglès s'identifica en els manuals tècnics el concepte d'arrossegament, carreteig o transport quan es fan operacions de sumes binàries.

ELECTRÒNICA

Què ha succeït? La resposta és el mateix que quan sumem en decimal.

Suma de $6 + 4$

Si hem de fer la suma de $6 + 4$, com que el sistema decimal només té díigits del 0 al 9, quan superem el 9, hem de tornar a començar des de 0 i incrementar en una unitat la posició d'ordre superior (les desenes), és a dir, 10; aquesta unitat que “ens n'emportem” és l'arrossegament o transport, la qual més endavant esmentarem com a carry. La interpretació d'aquesta regla o algorisme seria: $1 + 1$ és igual a 0 i en porto 1.

Vista la part matemàtica, veurem els circuits amb portes que donen resposta a la taula dels algorismes de la suma.

Suma lògica i suma aritmètica

Fixeu-vos en un detall important: no heu de confondre la suma lògica, on $1 + 1 = 1$ ($F = A + B$), amb la suma aritmètica, on $1 + 1 = 0$ i us n'emporteu una.

La funció suma aritmètica $S = A + B$ s'implementa amb la porta OR-exclusiva de dues entrades.

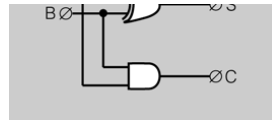
La porta OR-exclusiva dóna el resultat de la suma de 2 bits.

La funció carry $C = A \times B$ s'implementa amb la porta AND de dues entrades.

La porta ens dóna el resultat del bit de *carry* quan se sumen 2 bits.

Als Annexos del web hi trobareu un arxiu amb la simulació del semisumador.

ELECTRÒNICA



El circuit lògic que realitzen totes dues funcions s'anomena **semisumador**. S'anomena semisumador perquè només permet fer la suma dels dos bits menys significatius, dit d'una altra manera, no té en compte la possibilitat de sumar el bit de transport (carry) d'una operació anterior, ja que només té dues entrades.

Suma de dos bits i carry (sumador total)

Quan s'han de sumar dos nombres de més d'un bit, cal modificar el circuit anterior perquè pugui sumar el carry que s'ha produït a la suma anterior.

Als Annexos del web hi trobareu un arxiu amb la simulació del sumador total.

En definitiva, el circuit lògic ha de ser capaç de realitzar la suma de tres bits i donar com a resposta, per una banda, el resultat de la suma i, per l'altra, el resultat del carry. Aquest circuit rep el nom de **sumador total**.

En la [taula 2.10](#) veurem la taula de funcionament d'aquest sumador total.

Taula: 2.10. Suma de dos bits més carreteig anterior (suma de tres bits)

$B + A + C_i$	C_o	Suma (S)
0 + 0 + 0	0	0
0 + 0 + 1	0	1
0 + 1 + 0	0	1
0 + 1 + 1	1	0
1 + 0 + 0	0	1
1 + 0 + 1	1	0
1 + 1 + 0	1	0
1 + 1 + 1	1	1

Ci: carreteig d'entrada; Co: carreteig de sortida.

Circuit integrat 74283

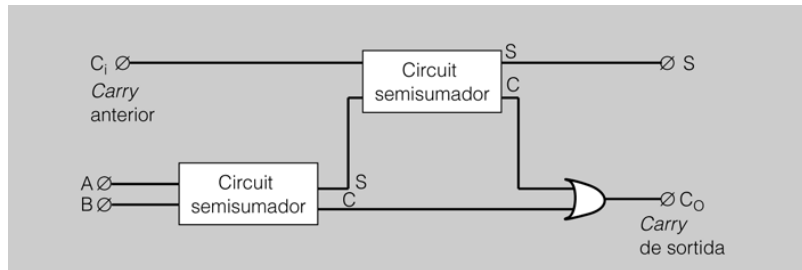
L'integrat comercial 74283 està format per quatre sumadors totals en un xip de setze pins de manera que pot efectuar la suma de dos nombres de 4 bits.

Simplificant la funció S i la funció C podem arribar a construir un sumador total amb diferents tipus de portes, ara bé, la manera més fàcil d'implementar-lo és a

ELECTRÒNICA

Als Annexos del web hi trobareu un arxiu amb la simulació del sumador de 4 bits comercial 74283.

Figura 2.17. Circuit sumador total a partir de dos blocs semisumadors



2.4. Circuits seqüencials



Un semàfor és un exemple típic de sistema seqüencial.

Fixem-nos en el funcionament d'un semàfor qualsevol del nostre municipi. Un semàfor és un sistema digital típic i les seves sortides són les següents:

- llum vermell per a vehicles
- llum taronja per a vehicles
- llum verd per a vehicles
- llum vermell per a vianants
- llum verd per a vianants

Aquestes cinc sortides només poden prendre dos valors diferents: llum encès o llum apagat. Com a única entrada possible, un semàfor pot presentar el pulsador perquè els vianants puguin dir al semàfor que volen creuar el carrer.

Imaginem-nos que arribem a un semàfor passejant. Volem creuar el carrer però el

ELECTRÒNICA

segons, el semàfor dels vehicles es posa en vermell (passant primer pel taronja) i el semàfor dels vianants es posa en verd. Fins aquí tot molt bé: quin semàfor més amable! Ens ha obeït de seguida.

Però què passarà si ara, amb el llum verd per als vianants encès, tornem a prémer el pulsador? Doncs que el semàfor no ens farà ni cas i, transcorreguts uns quants segons, continuarà amb la seva seqüència de funcionament normal, deixant passar els vehicles i encenent el llum vermell per als vianants. Si poguéssim parlar, el semàfor ens diria alguna cosa semblant a: “No cal que tornis a prémer el pulsador que ja t’he entès a la primera! Això sí: espavila’t perquè en pocs segons jo continuaré fent la meua feina i no et deixaré passar!”.

Això significa que el semàfor no sempre dóna les mateixes sortides per a una mateixa combinació de les entrades. Aquest semàfor és un exemple típic de **sistema digital seqüencial**.

Cronòmetre

Penseu en un cronòmetre digital amb un pulsador d’inici/aturada i un pulsador de reinicialització o *RESET* per tornar a zero. És un sistema digital seqüencial? Per què?

En un sistema digital seqüencial, els valors dels senyals de sortida no depenen solament dels valors dels senyals d’entrada, sinó també dels valors que les mateixes sortides tenien abans.

Us podeu trobar amb llibres tècnics que anomenen al nivell alt i al nivell baix estat de **SET** i estat de **RESET**, respectivament.

Els circuits seqüencials elementals són els **biestables**. A partir de biestables es poden construir circuits seqüencials més complexos com, per exemple, els **comptadors** i els **registres de desplaçament**.

2.4.1. Biestables: latches i flip-flops

Un biestable és un circuit digital seqüencial que pot tenir dos estats estables a la sortida denominats **nivell alt** i **nivell baix**, en els quals es pot mantenir indefinidament.

Un biestable canvia l’estat de la seva sortida segons les seves

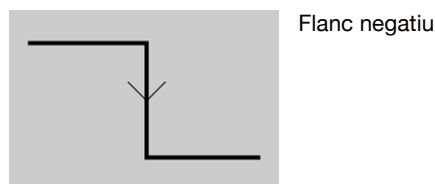
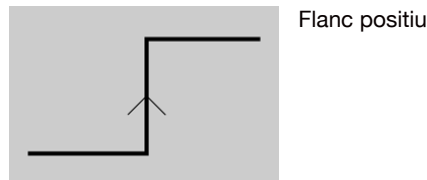
ELECTRÒNICA

Un flanc...

... és una transició d'un senyal digital de 0 a 1 o d'1 a 0. Si la transició és de 0 a 1 s'anomena *flanc positiu* o *flanc de pujada*. Si la transició és d'1 a 0 s'anomena *flanc negatiu* o *flanc de baixada*.

Els dispositius biestables es divideixen en dues categories:

- *Latches*: són biestables asíncrons. Això vol dir que no utilitzen cap senyal de sincronització o rellotge.
- *Flip-flops*: són biestables síncrons. Això vol dir que la seva sortida canvia d'estat únicament en un instant específic d'una entrada de sincronització denominada **rellotge** (habitualment, en un instant concret anomenat **flanc**).



Els *flip-flops* es poden classificar segon el tipus de senyal de rellotge que utilitzen:

- *Flip-flop* disparat per flanc positiu: la sortida del *flip-flop* canvia quan el senyal de rellotge fa una transició de 0 a 1.
- *Flip-flop* disparat per flanc negatiu: la sortida del *flip-flop* canvia quan el senyal de rellotge fa una transició d'1 a 0.

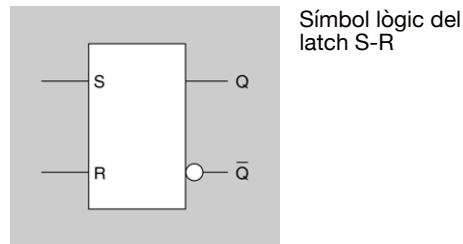
Latch S-R (SET-RESET)

El funcionament del *latch* S-R és el següent:

- Si posem l'entrada S (*SET*) a 1 i deixem l'entrada R (*RESET*) a 0, la sortida Q del *latch* S-R es posa a 1: és el que s'anomena **estat de SET**.
- Si posem l'entrada R (*RESET*) a 1 i deixem l'entrada S (*SET*) a 0, la sortida Q del *latch* S-R es posa a 0: és el que s'anomena **estat de RESET**.
- Si posem les dues entrades S i R a 0, les sortides no canvien: conserven l'estat. Això vol dir posar el mateix valor que tenien abans de canviar l'estat de les entrades. Aquesta característica és molt important, perquè el *latch* "memoritza" el seu estat anterior.
- La sortida $\overline{Q}$ sempre té el valor contrari a la sortida Q (d'això se'n diu que les

ELECTRÒNICA

La taula de veritat del *latch* S-R es mostra en la [taula 2.11](#).



Taula: 2.11. Taula de veritat d'un latch S-R

Entrades		Sortides		Comentaris
S	R	$Q+$	$\overline{Q}+$	
0	0	Q	$\overline{Q}$	Les sortides no canvien. Es queden en l'estat anterior
1	0	1	0	Estat de SET
0	1	0	1	Estat de RESET
1	1	?	?	Condicció no vàlida

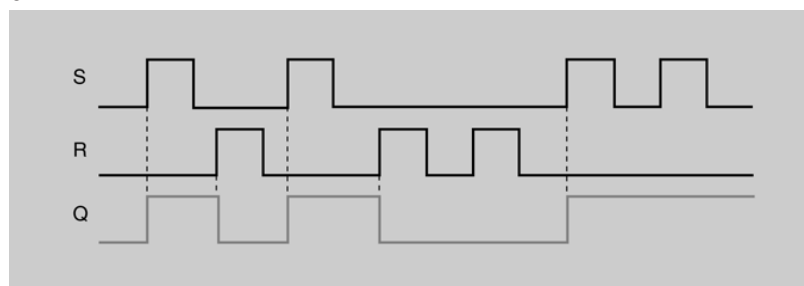
Amb $Q+$ es designa el valor posterior a la realització de la operació corresponent

I què passa quan posem les dues entrades del *latch* S-R a 1? Doncs que, a causa del funcionament intern del *latch* S-R, no podem predir quines sortides obtindrem.

No hem de posar mai les dues entrades del *latch* S-R a 1 simultàniament perquè no podem predir quin valor tindran les seves sortides. Aquesta imprecisió del valor de les sortides podria provocar problemes greus al circuit on estiguis connectat el *latch* S-R.

En la [figura 2.18](#) podem veure l'evolució amb el temps de les formes d'ona de les entrades i la sortida d'un *latch* S-R. Se suposa que Q es troba inicialment a nivell baix. Observeu que en cap moment les dues entrades es troben a nivell alt simultàniament.

Figura 2.18. Formes d'ona de les entrades i la sortida d'un latch S-R

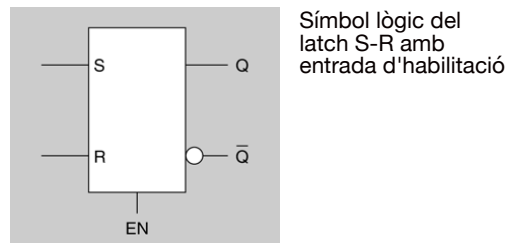


Latch S-R amb entrada d'habilitació

El nom EN d'una entrada d'habilitació ve de la

ELECTRÒNICA

A un *latch* S-R se li pot afegir una nova entrada: **l'entrada d'habilitació EN**.



La funció d'aquesta entrada **EN** és molt senzilla:

- Quan l'entrada EN està a nivell alt, el *latch* està habilitat i funciona com un *latch* S-R normal.
- Quan l'entrada EN està a nivell baix, simplement el *latch* S-R no fa res: per molt que canviem el valor de les entrades S i R, les sortides conserven l'estat anterior.

La taula de veritat d'aquest *latch* S-R amb entrada d'habilitació es mostra en la [taula 2.12](#).

Taula: 2.12. Taula de veritat d'un latch S-R amb entrada d'habilitació

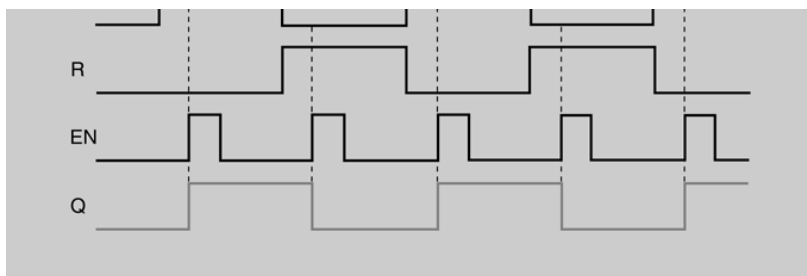
Entrades			Sortides		Comentaris
EN	S	R	$Q+$	$\overline{Q}+$	
1	0	0	Q	$\overline{Q}$	Les sortides no canvien. Es queden en l'estat anterior
1	1	0	1	0	Estat de SET
1	0	1	0	1	Estat de RESET
1	1	1	?	?	Condició no vàlida
0	X	X	Q	$\overline{Q}$	Latch no habilitat. Les sortides no canvien

Als Annexos del web hi teniu disponible una simulació d'un latch S-R amb habilitació.

En la [figura 2.19](#) podem veure les formes d'ona de les entrades i la sortida d'un *latch* S-R amb habilitació. Se suposa que Q es troba inicialment a nivell baix.

Figura 2.19. Formes d'ona de les entrades i la sortida d'un latch S-R amb habilitació

ELECTRÒNICA



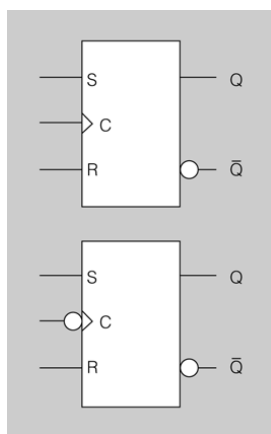
Flip-flop S-R

En la [taula 2.13](#) es mostra la taula de veritat d'un *flip-flop* S-R disparat per flanc positiu. Com es pot veure, el seu funcionament és similar al del *latch* S-R. L'única diferència és que les sortides només canvien en l'instant en què el senyal **CLK** passa de nivell baix a nivell alt.

Taula: 2.13. Taula de veritat d'un flip-flop S-R disparat per flanc positiu

Entrades		Sortides			
CLK	S	R	$Q+$	$\overline{Q}+$	Comentaris
X	X	X	Q	$\overline{Q}$	No hi ha flanc de CLK: les sortides no canvien
↑	0	0	Q	$\overline{Q}$	Les sortides no canvien
↑	1	0	1	0	Estat de SET
↑	0	1	0	1	Estat de RESET
↑	1	1	?	?	Condicció no vàlida

La fletxa cap amunt significa flanc de pujada



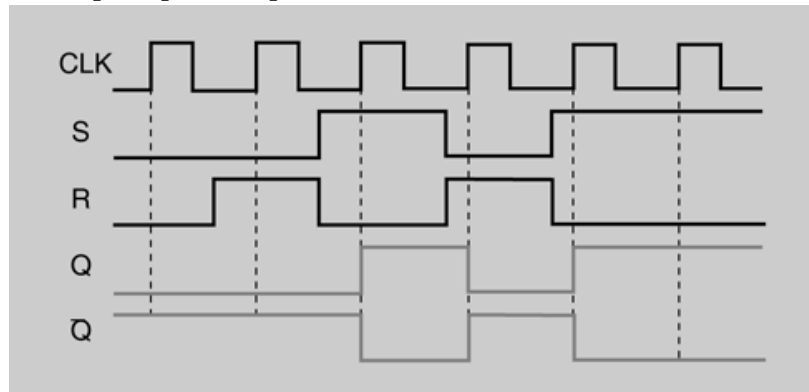
Flip-flops S-R disparats per flanc positiu (superior) i per flanc negatiu (inferior)

Com en el cas del *latch* S-R, mai no hem de posar les entrades S i R del *flip-flop* S-R simultàniament a nivell alt, perquè no podem predir quin valor tindran les seves sortides. Aquesta imprecisió del valor de les sortides podria provocar problemes greus al circuit on estigués connectat el *flip-flop* S-R.

ELECTRÒNICA

nivell baix.

Figura 2.20. Formes d'ona de les entrades i la sortida d'un flip-flop S-R disparat per flanc positiu



Flip-flop J-K

Les denominacions J i K...

... per a les entrades del *flip-flop* J-K no tenen cap significat conegut, excepte el fet que són dues lletres consecutives de l'alfabet.

El *flip-flop* J-K és un dels tipus de *flip-flop* més utilitzats.

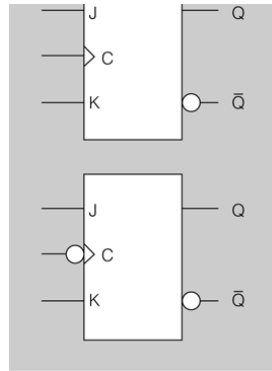
El funcionament del *flip-flop* J-K és idèntic al del *flip-flop* S-R en els estats d'operació *SET*, *RESET* i no-canvi. La diferència resideix en el fet que el *flip-flop* J-K **no té condicions no vàlides** com passa amb el *flip-flop* S-R (ara sí hi pot haver dos uns a les entrades).

Taula: 2.14. Taula de veritat d'un flip-flop J-K disparat per flanc positiu

Entrades			Sortides		Comentaris
CLK	J	K	$Q+$	$\overline{Q}+$	
X	X	X	Q	$\overline{Q}$	No hi ha flanc de CLK: les sortides no canvien
$\uparrow$	0	0	Q	$\overline{Q}$	Les sortides no canvien.
$\uparrow$	1	0	1	0	Estat de SET
$\uparrow$	0	1	0	1	Estat de RESET
$\uparrow$	1	1	$\overline{Q}$	Q	Basculació: la sortida canvia al seu estat oposat

Quan la sortida bascula, vol dir que si hi havia un 1 passa a haver-hi un 0, i a l'inrevés

ELECTRÒNICA



Com podem observar en la taula de veritat del *flip-flop* J-K ([taula 2.14](#)), ara ja no hi ha combinacions no vàlides de les entrades, com passava al *flip-flop* S-R. Quan les dues entrades J i K es posen a nivell alt, la sortida canvia al seu estat oposat. És a dir, ens podem trobar amb dues d'aquestes situacions:

- Si la sortida estava a nivell alt abans del flanc de rellotge, passarà a nivell baix.
- Si la sortida estava a nivell baix abans del flanc de rellotge, passarà a nivell alt.

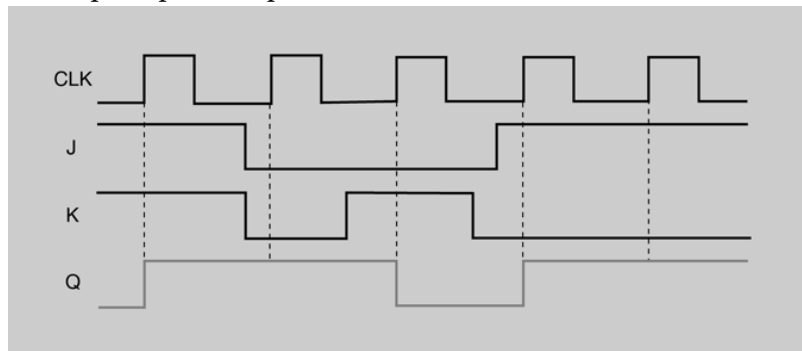
Circuit integrat 74HC112

El circuit integrat comercial 74HC112 és un petit xip de setze pins que conté dos *flip-flops* J-K disparats per flanc descendent.

En la [figura 2.21](#) podem veure les formes d'ona de les entrades i la sortida d'un *flip-flop* J-K disparat per flanc positiu. Se suposa que Q es troba inicialment a nivell baix.

Als Annexos del web hi teniu disponible una simulació d'un flip-flop J-K i d'un doble flip-flop J-K.

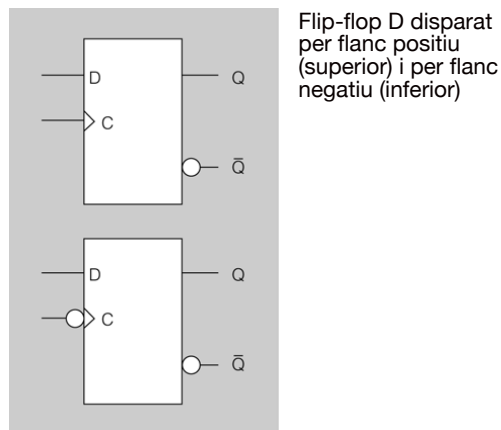
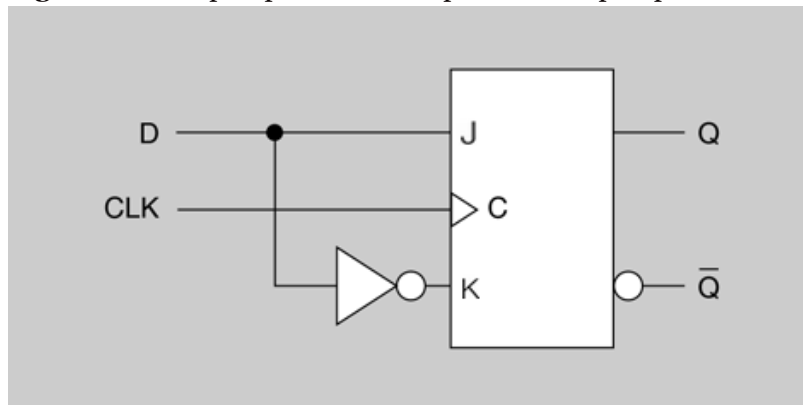
Figura 2.21. Formes d'ona de les entrades i la sortida d'un flip-flop J-K disparat per flanc positiu



Flip-flops D i T

El *flip-flop* D està construït a partir d'un *flip-flop* J-K al qual s'han unit les seves

ELECTRÒNICA

**Figura 2.22.** Flip-flop D construït a partir d'un flip-flop S-R

Als Annexos del web hi teniu disponible una simulació d'un flip-flop D i d'un flip-flop D mitjançant S-R.

Taula: 2.15. Taula de veritat d'un flip-flop D actiu per flanc positiu

Entrades		Sortides		Comentaris
D	CLK	$Q+$	$\overline{Q+}$	
0	↑	0	1	Estat de RESET
1	↑	1	0	Estat de SET

Flanc positiu o flanc negatiu?

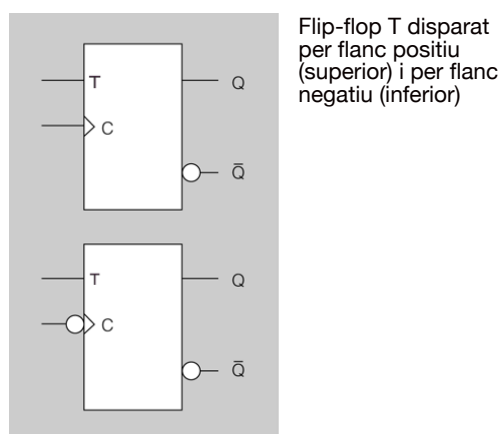
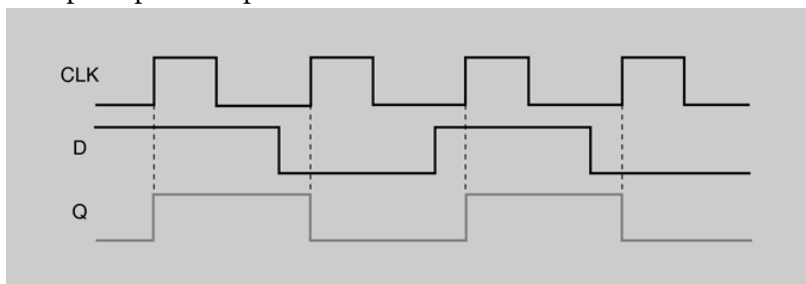
Quan un *flip-flop* es dispara per flanc negatiu se simbolitza amb un petit cercle a l'entrada del rellotge. Si el *flip-flop* es dispara per flanc positiu el petit cercle no apareix en el seu símbol.

ELECTRÒNICA

fa que el *flip-flop* D s'utilitzi molt com a element de memòria.

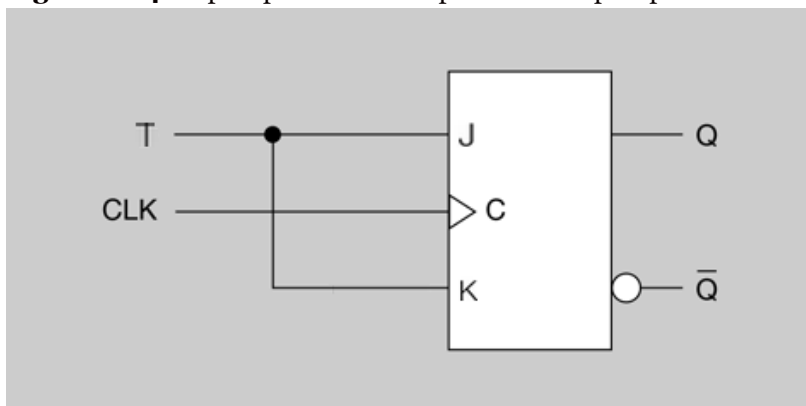
En la [figura 2.23](#) podem veure les formes d'ona de les entrades i la sortida d'un *flip-flop* D disparat per flanc positiu. Se suposa que Q es troba inicialment a nivell baix.

Figura 2.23. Formes d'ona de les entrades i la sortida d'un flip-flop D disparat per flanc positiu.



El *flip-flop* T està construït a partir d'un *flip-flop* J-K al qual s'han unit les seves entrades J i K directament, tal com es mostra en la [figura 2.24](#). La taula de veritat d'aquest *flip-flop* T és molt senzilla ([taula 2.16](#)).

Figura 2.24. Flip-flop T construït a partir d'un flip-flop S-R



Taula: 2.16. Taula de veritat d'un flip-flop T activat per flanc positiu

Entrades	Sortides
----------	----------

ELECTRÒNICA

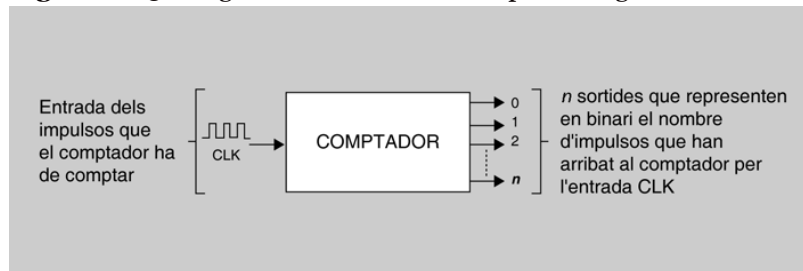
0	1	$\overline{Q}$	Q	NO hi ha canvi d'estat
1	$\uparrow$	$\overline{Q}$	Q	Canvi d'estat forçat

Com veiem en la [taula 2.16](#), la sortida Q canvia el valor que tenia **si hi ha un 1 a l'entrada T** just en l'instant en el qual es produeix la transició positiva del rellotge. Aquesta propietat fa que el *flip-flop* T s'utilitzi molt com a element comptador o com a complement d el rellotge.

2.4.2. Comptadors

Un comptador ([figura 2.25](#)) és un circuit format per *flip-flops* T, que té una entrada d'impulsos (anomenada **entrada de rellotge** o **CLK**) i un nombre de sortides n que representen **en codi binari**, en cada moment, el nombre d'impulsos que li arriben a l'entrada de rellotge.

Figura 2.25. Diagrama de blocs d'un comptador digital



Un cronòmetre és un exemple molt clar de comptador digital

La importància dels comptadors dins del món dels sistemes digitals és molt gran. Només cal pensar en el gran nombre d'aplicacions que poden tenir: detecció del nombre de vehicles que entren en un pàrking, recompte de les peces elaborades en una fàbrica, realització de funcions de cronometratge, etc.

Els comptadors digitals tenen les característiques següents:

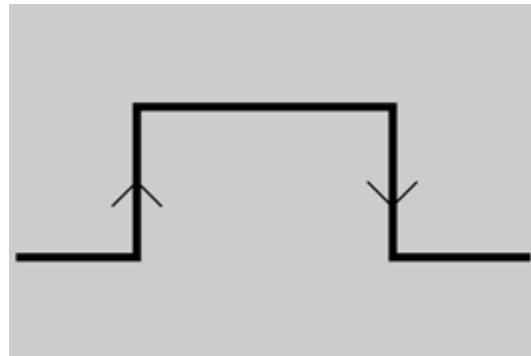
- **Mòdul:** és el nombre de combinacions diferents que té un comptador a la seva sortida. Per exemple, si un comptador té 4 bits de sortida i compta des de 0000 fins a 1111, es diu que és de mòdul 16 o, de forma abreujada, és diu que és *MOD16*.
- **Compte ascendent o descendent:** gairebé tots els comptadors digitals tenen un bit d'entrada per seleccionar si el compte es fa de manera ascendent o descendent.

ELECTRÒNICA

seus *flip-flops* comparteixen el mateix senyal de rellotge. Els més utilitzats són els comptadors síncrons.

- **Entrada d'esborrat:** molts comptadors disposen d'un bit d'entrada que, quan es posa a zero, fa que totes les sortides es posin a nivell baix (*RESET*).
- **Entrada amb flanc ascendent o descendent:** els comptadors amb flanc ascendent canvien la seva sortida quan en el senyal de rellotge hi ha una transició de baix a alt. Els comptadors amb flanc descendent canvien la seva sortida quan en el senyal de rellotge hi ha una transició d'alt a baix. En la figura 2.26 es mostra un pols de rellotge amb els seus flancs ascendent i descendent.

Figura 2.26. Pols de rellotge



Els comptadors més utilitzats són els de quatre bits de sortida

Els comptadors de quatre bits de sortida poden ser:

- De mòdul 16 (MOD16): compten des de 0000b fins a 1111b (és a dir, de 0 a 15 en decimal, o de 0 a F en hexadecimal).
- De mòdul 10 (MOD10): compten des de 0000b fins a 1001b (és a dir, de 0 a 9 en decimal). Quan les sortides d'aquests comptadors estan a 1001b i hi ha un nou pols de rellotge a l'entrada, les sortides tornen a 0000b.

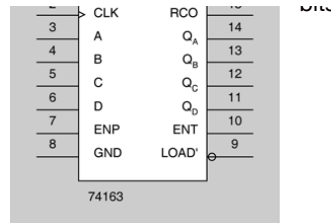
Els comptadors dels PLC

La majoria de comptadors que porten incorporats els autòmats programables compten fins a valors superiors a 30.000 impulsos.

Per comptar nombres més grans de 16 s'utilitzen diversos comptadors de quatre bits connectats entre ells.

Comptador binari síncron de quatre bits 74163

ELECTRÒNICA



El xip 74163 és un exemple de circuit integrat comptador binari de quatre bits.

Als Annexos del web hi teniu disponible una simulació d'un comptador 74163 configurat manualment i d'un comptador 74163 configurat automàticament.

La utilitat de cada piu d'aquest circuit comptador es descriu a continuació:

- **QA, QB, QC i QD** (pius núms. 14, 13, 12 i 11, respectivament): **sortides** del comptador. QA correspon al bit de menys pes.
- **CLK** (piu 2): **entrada** de rellotge actiu per flanc ascendent.
- **VCC** (piu 16): alimentació del circuit integrat (+5 V).
- **GND** (piu 8): connexió a massa del circuit integrat.
- **A, B, C i D** (pius núms. 3, 4, 5 i 6, respectivament): a aquest comptador li podem indicar per quin nombre ha de començar a comptar. Normalment serà el 0000, però amb les **entrades** A, B, C i D li podem indicar una altra combinació d'inici (A correspon al bit de menys pes)
- **LOAD** (piu núm. 9): quan s'aplica un nivell baix a l'**entrada LOAD**, el comptador assumeix l'estat de les entrades A, B, C i D en el següent flanc ascendent de rellotge.
- **CLR** (piu núm. 1): **entrada** d'esborrat activa a nivell baix que posa a zero de manera síncrona (és a dir, en el següent flanc ascendent de rellotge) les quatre sortides del comptador.
- **ENP i ENT** (pius núms. 7 i 10, respectivament): **entrades** d'habilitació. Aquestes entrades han d'estar a nivell alt perquè el comptador pugui comptar. Quan almenys una de les dues entrades és a nivell baix, el comptador es desactiva.
- **RCO** (piu núm. 15): aquesta **sortida** es posa a nivell alt quan el comptador assoleix el valor 1111 a la seva sortida.

2.4.3. Registres de desplaçament

Els registres de desplaçament són una altra aplicació digital seqüencial que, com els comptadors, es poden obtenir mitjançant la connexió de diversos biestables o utilitzant circuits integrats específics.

Aplicacions dels registres de desplaçament

ELECTRÒNICA

plaçament són:

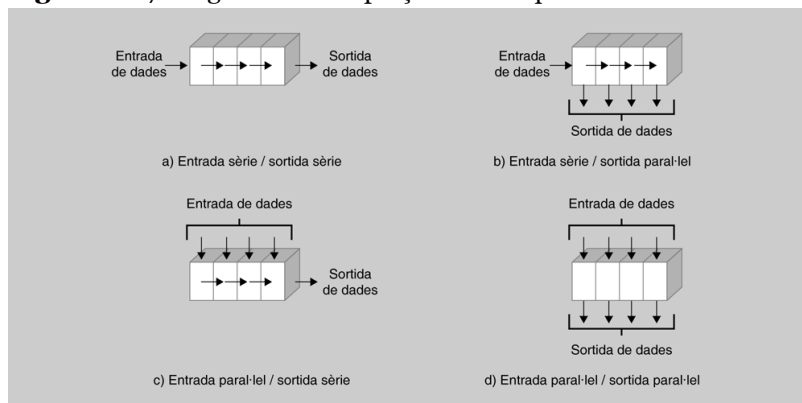
- emmagatzematge de dades,
- conversió de dades paral·lel/ sèrie,
- conversió de dades sèrie/ paral·lel,
- introducció de retards en els sistemes de comunicació.

Els registres de desplaçament són sistemes digitals seqüencials formats per biestables, que s'utilitzen per emmagatzemar i transferir dades digitals.

Els registres de desplaçament es poden classificar segons com s'introdueix la informació i de com s'obté aquesta informació. D'acord amb aquest criteri, podem trobar (figura 2.27):

- registres de desplaçament entrada sèrie/sortida sèrie
- registres de desplaçament entrada sèrie/sortida paral·lel
- registres de desplaçament entrada paral·lel/sortida sèrie
- registres de desplaçament entrada paral·lel/sortida paral·lel.

Figura 2.27. Registres de desplaçament de quatre bits

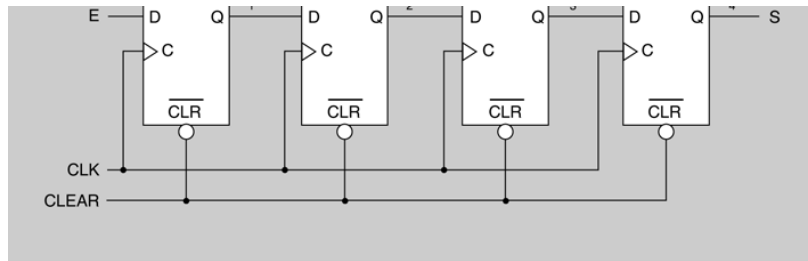


Registre de desplaçament amb entrada sèrie/sortida sèrie

En la figura 2.28 es mostra l'estructura d'un registre de desplaçament entrada sèrie/sortida sèrie de quatre bits, format per quatre *flip-flops* D amb senyal d'esborrat (CLR).

Figura 2.28. Registre de desplaçament entrada sèrie-sortida sèrie de quatre bits

ELECTRÒNICA

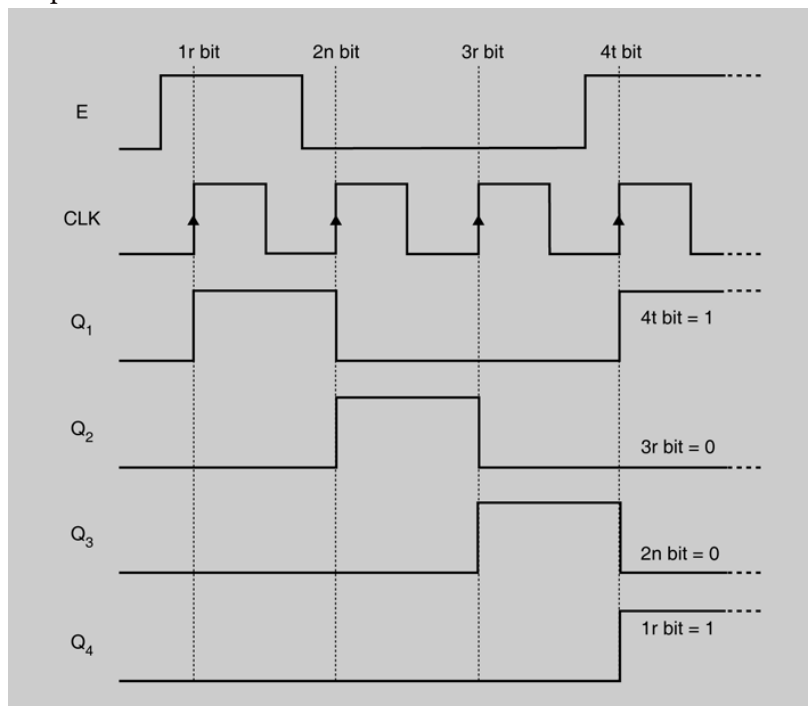


El funcionament d'aquest registre de desplaçament és ben senzill. Per l'entrada **E** es van introduint les dades. Cada bit dels introduïts serà desplaçat al següent *flip-flop* a cada flanc ascendent del senyal de rellotge, de manera que a partir del quart flanc ascendent la informació introduïda s'obindrà a la sortida de manera successiva. En la [figura 2.29](#) es mostren els senyals E, CLK, Q1, Q2, Q3 i Q4 quan s'emmagatzema el codi 1001 en un registre de desplaçament sèrie/sèrie.

Estructura interna dels registres de desplaçament

La majoria dels registres de desplaçament es realitzen a partir de *flip-flops* tipus D.

Figura 2.29. Formes d'ona del registre de desplaçament sèrie-sèrie de quatre bits



Registre de desplaçament amb entrada sèrie/sortida paral·lel

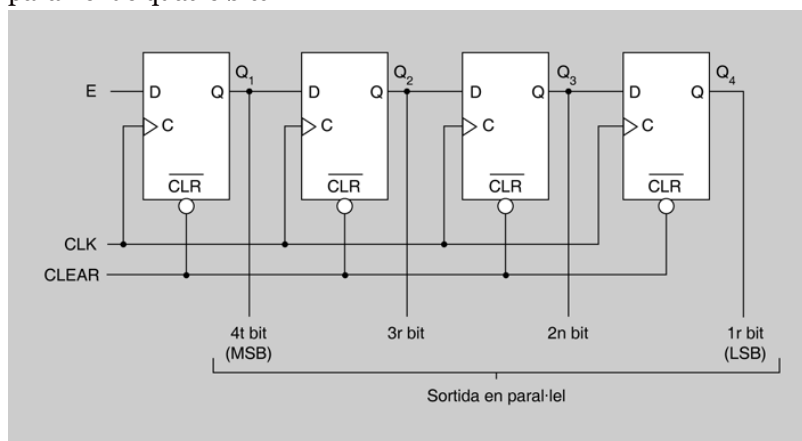
Es pot obtenir un registre de desplaçament d'entrada sèrie/sortida paral·lel partint de l'esquema del registre sèrie/sèrie. Només caldrà connectar les sortides paral·lel als punts Q1, Q2, Q3 i Q4 com es mostra en la [figura 2.30](#). El funcionament d'aquest registre és el següent:

ELECTRÒNICA

era a Q2 passa a Q3 i el que era a Q3 passa a Q4.

- La informació introduïda per l'entrada sèrie estarà disponible a les sortides Q1, Q2, Q3 i Q4 al flanc ascendent del quart pols de rellotge.

Figura 2.30. Registre de desplaçament entrada sèrie-sortida paral·lel de quatre bits



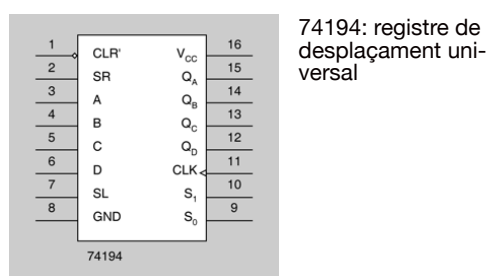
MSB i LSB

MSB vol dir *Most Significant Bit*, és a dir, el bit més significant, el de més pes.

LSB vol dir *Least Significant Bit*, és a dir, el bit menys significant, el de menys pes.

Registre de desplaçament universal

Un registre de desplaçament universal és un circuit integrat que incorpora els diferents modes de funcionament de registre, amb entrades i sortides sèrie i paral·lel.



74194: registre de desplaçament universal

Un exemple clar de registre de desplaçament universal és el circuit integrat 74194.

La utilitat de cada piu d'aquest registre de desplaçament universal es descriu a continuació:

- **CLR** (piu núm. 1): **entrada** asíncrona d'esborrat, activa a nivell baix.
- **S₀** i **S₁** (pius núm. 9 i 10, respectivament): **entrades** de selecció del mode d'operació. Aquestes entrades actuen segons la taula 2.17.
- **CLK** (piu núm. 11): **entrada** de rellotge actiu per flanc ascendent.

ELECTRÒNICA

- **A, B, C i D** (pins núm. 3, 4, 5 i 6, respectivament): **entrades** per fer càrregues en paral·lel.
- **QA, QB, QC i QD** (pins núm. 15, 14, 13 i 12, respectivament): **sortides** en paral·lel.
- **VCC** (pin 16): alimentació del circuit integrat (+5 V).
- **GND** (pin 8): connexió a massa del circuit integrat.

Als Annexos del web hi teniu disponible una simulació d'un registre de desplaçament universal 74194.

Taula: 2.17. Modes d'operació del registre universal 74HC194

S_0	S_1	Mode d'operació
0	0	Relotge inhibït: no hi ha desplaçament
0	1	Desplaçament a l'esquerra
1	0	Desplaçament a la dreta
1	1	Càrrega en paral·lel de les dades a les sortides

La càrrega en paral·lel es fa de manera síncrona, aplicant les dades a les entrades en paral·lel i posant les entrades de control de mode S_0 i S_1 a nivell alt. A partir d'aquest moment, les dades seran transferides a la sortida en el flanc ascendent del pols de rellotge; durant la càrrega en paral·lel, el flux de dades per l'entrada sèrie queda inhibït.